

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3210054号
(P3210054)

(45) 発行日 平成13年9月17日(2001.9.17)

(24) 登録日 平成13年7月13日(2001.7.13)

(51) Int.Cl.⁷

識別記号

F I

G 0 6 G 7/48

G 0 6 G 7/48

Z

G 0 6 F 17/10

G 0 6 F 15/31

Z

請求項の数 8 (全 20 頁)

(21) 出願番号 特願平4-35042

(22) 出願日 平成4年2月21日(1992.2.21)

(65) 公開番号 特開平5-233857

(43) 公開日 平成5年9月10日(1993.9.10)

審査請求日 平成9年7月29日(1997.7.29)

(73) 特許権者 591018497
山川 烈
福岡県飯塚市大字幸袋781番地300

(72) 発明者 山川 烈
福岡県飯塚市大字幸袋781番地300

(74) 代理人 100081503
弁理士 金山 敏彦 (外2名)

審査官 日下 善之

(56) 参考文献 特開 平1-147657 (J P , A)

(58) 調査した分野(Int.Cl.⁷ , D B 名)

G06G 7/48

G06F 17/10

(54) 【発明の名称】 カオスの信号発生装置および方法ならびにカオス・デバイス

1

(57) 【特許請求の範囲】

【請求項1】 入力信号を所定時間ずつ順次遅延させる複数のディレイ手段、上記ディレイ手段のうちの少なくとも1つから得られる信号を非線形関数によって変換する非線形関数手段、上記ディレイ手段の他のものから得られる信号を所定係数倍する係数手段、上記非線形関数手段および係数手段から得られる信号を加算する加算手段、ならびに動作開始時に上記ディレイ手段、または上記非線形関数手段および係数手段、または上記加算手段に初期値を与える初期化手段を備え、上記加算手段の出力が最前段の上記ディレイ手段にフィードバックされるように構成されている、カオスの信号発生装置。

【請求項2】 入力信号を微小時間ずつ順次遅延させる

2

複数のディレイ回路、上記ディレイ回路のうちの少なくとも1つから得られる信号を非線形関数によって変換する非線形関数回路、上記ディレイ回路の他のものから得られる信号を所定係数倍する係数回路、上記非線形関数回路および係数回路から得られる信号を加算する加算回路、ならびに動作開始時に上記ディレイ回路、または上記非線形関数回路および係数回路、または上記加算回路に初期値を与える初期化回路を備え、上記加算回路の出力が最前段の上記ディレイ回路にフィードバックされるように構成されている、カオス・デバイス。

【請求項3】 順次与えられる複数個の信号をその順序に保存しておき、保存されている信号のうちの少なくとも1つを非線形関

10

数によって変換し、
保存されている信号の他のものを所定係数倍し、
非線形関数変換された信号および所定係数倍された信号
を加算し、
加算により得られた信号を最新の信号として保存しかつ
保存されている信号を順次シフトする、
上記一連の処理を初期値を与えることにより開始させか
つ繰返させることによりカオスの信号を得る、カオスの
信号発生方法。

【請求項 4】 入力信号を所定時間ずつ順次遅延させる
複数のディレイ手段、上記ディレイ手段から得られる
信号をそれぞれ所定の非線形関数によって変換する複数
の非線形関数手段、
上記複数の非線形関数手段から得られる信号を加算する
加算手段、ならびに動作開始時に上記ディレイ手段また
は上記非線形関数手段にそれぞれ初期値を与える初期化
手段を備え、
上記加算手段の出力が最前段の上記ディレイ手段にフィ
ードバックされるように構成されている、カオスの信号
発生装置。

【請求項 5】 入力信号を微小時間ずつ順次遅延させる
複数のディレイ回路、上記ディレイ回路から得られる
信号をそれぞれ所定の非線形関数によって変換する複数
の非線形関数回路、
上記複数の非線形関数回路から得られる信号を加算する
加算回路、ならびに動作開始時に上記ディレイ回路また
は上記非線形関数回路にそれぞれ初期値を与える初期化
回路を備え、
上記加算回路の出力が最前段の上記ディレイ回路にフィ
ードバックされるように構成されている、カオス・ディ
バイス。

【請求項 6】 順次与えられる複数個の信号をその順序
に保存しておき、
保存されている信号をそれぞれ所定の非線形関数によっ
て変換し、
非線形関数変換された信号を加算し、
加算により得られた信号を最新の信号として保存しかつ
保存されている信号を順次シフトする、
上記一連の処理を初期値を与えることにより開始させか
つ繰返させることによりカオスの信号を得る、カオスの
信号発生方法。

【請求項 7】 複数の入力変数信号をそれぞれ所定時間
遅延させる複数のディレイ手段、
上記複数のディレイ手段から得られる複数の変数信号の
うちの少なくとも 1 つをそれぞれ入力とし、この入力変
数信号を 1 変数または多変数非線形関数により関数信号
に変換する複数の非線形関数手段、ならびに各入力変数
信号の初期値を与える複数の初期化手段を備え、
上記非線形関数手段から得られる関数信号が対応する上
記ディレイ手段にフィードバックされるように構成され

ている、カオスの信号発生装置。

【請求項 8】 複数の入力変数信号をそれぞれ保存して
おき、
保存されている複数の変数信号のうちのいくつかを複数
の異なる多変数非線形関数によりそれぞれ関数信号に変
換し、
多変数非線形関数変換により得られた複数の関数信号を
新たな入力変数信号としてそれぞれ保存する、
上記一連の処理を初期値を与えることにより開始させか
つ繰返させることにより複数のカオスの信号を得る、カ
オスの信号発生方法。

【発明の詳細な説明】

【0001】

【技術分野】この発明は、カオスの信号発生装置および
方法ならびにカオス・デバイスに関する。

【0002】この明細書において信号とは、アナログ信
号、2 値信号、バイナリ・デジタル・データ等を含
む概念である。

【0003】

20 【背景技術】数学の分野において、物理学において、コ
ンピュータ・サイエンスにおいて、他の様々の分野にお
いてカオス (Chaos) の理論的、実証的研究が盛んにな
りつつある。カオス理論は、情報処理、セルオートマト
ン等のコンピュータ・サイエンス、気象 (天気予報)、
地震等の複雑な自然現象の予知、その他に応用できる可
能性があるともいわれているが、未だ模索の段階にあ
る。

【0004】カオスに関する文献としては次のようなも
のがある。

30 【0005】合原一幸編著「カオス - カオス理論の基礎
と応用」(株)サイエンス社、1990

「数理科学」1981年11月号 (NO.221) および1989年 5 月
号 (NO.311), (株)サイエンス社

「Computer Today」1989年 7 月号 (NO.32) および1989
年 9 月号 (NO.33), (株)サイエンス社

【0006】

【発明の開示】この発明は、カオスの理論的および実証
的研究のために必要な、さらに表示、その他に応用可能
なカオス的な時間的ふるまいをする信号を発生する装置
および方法を提供するものである。

【0007】第 1 の発明は非線形関数要素と線形関数要
素とを含む基本的なカオスの信号発生装置 (またはカオ
ス・デバイス) および方法を提供するものである。

【0008】第 1 の発明によるカオスの信号発生装置
は、入力信号を所定時間ずつ順次遅延させる複数のディ
レイ手段、上記ディレイ手段のうちの少なくとも 1 つか
ら得られる信号を非線形関数によって変換する非線形関
数手段、上記ディレイ手段の他のものから得られる信号
を所定係数倍する係数手段、上記非線形関数手段および
係数手段から得られる信号を加算する加算手段、ならび

に動作開始時に上記ディレイ手段、または上記非線形関数手段および係数手段、または上記加算手段に初期値を与える初期化手段を備え、上記加算手段の出力が最前段の上記ディレイ手段にフィードバックされるように構成されているものである。

【0009】このカオスの信号発生装置はハードウェア・アーキテクチャによって、またはコンピュータ・ソフトウェアによって実現することができる。

【0010】ハードウェア回路によって実現される第1の発明によるカオス・デバイスは、入力信号を微小時間ずつ順次遅延させる複数のディレイ回路、上記ディレイ回路のうちの少なくとも1つから得られる信号を非線形関数によって変換する非線形関数回路、上記ディレイ回路の他のものから得られる信号を所定係数倍する係数回路、上記非線形関数回路および係数回路から得られる信号を加算する加算回路、ならびに動作開始時に上記ディレイ回路、または上記非線形関数回路および係数回路、または上記加算回路に初期値を与える初期化回路を備え、上記加算回路の出力が最前段の上記ディレイ回路にフィードバックされるように構成されているものである。

【0011】第1の発明によるカオスの信号発生方法は、順次与えられる複数の信号をその順序に保存しておき、保存されている信号のうちの少なくとも1つを非線形関数によって変換し、保存されている信号の他のものを所定係数倍し、非線形関数変換された信号および所定係数倍された信号を加算し、加算により得られた信号を最新の信号として保存しかつ保存されている信号を順次シフトするものであり、これらの一連の処理が初期値を与えることにより開始されかつ繰返されることによりカオスの信号が得られる。

【0012】第2の発明は複数の非線形関数要素を含むより一般的なカオスの信号発生装置（またはカオス・デバイス）および方法を提供するものである。

【0013】第2の発明によるカオスの信号発生装置は、入力信号を所定時間ずつ順次遅延させる複数のディレイ手段、上記ディレイ手段から得られる信号をそれぞれ所定の非線形関数によって変換する複数の非線形関数手段、上記複数の非線形関数手段から得られる信号を加算する加算手段、ならびに動作開始時に上記ディレイ手段または上記非線形関数手段にそれぞれ初期値を与える初期化手段を備え、上記加算手段の出力が最前段の上記ディレイ手段にフィードバックされるように構成されているものである。

【0014】このカオスの信号発生装置も、ハードウェアによる回路またはプログラムされたコンピュータによって実現できる。

【0015】特にハードウェアによって実現される第2の発明によるカオス・デバイスは、入力信号を微小時間ずつ順次遅延させる複数のディレイ回路、上記ディレイ

イ回路から得られる信号をそれぞれ所定の非線形関数によって変換する複数の非線形関数回路、上記複数の非線形関数回路から得られる信号を加算する加算回路、ならびに動作開始時に上記ディレイ回路または上記非線形関数回路にそれぞれ初期値を与える初期化回路を備え、上記加算回路の出力が最前段の上記ディレイ回路にフィードバックされるように構成されているものである。

【0016】第2の発明によるカオスの信号発生方法は、順次与えられる複数の信号をその順序に保存しておき、保存されている信号をそれぞれ所定の非線形関数によって変換し、非線形関数変換された信号を加算し、加算により得られた信号を最新の信号として保存しかつ保存されている信号を順次シフトする一連の処理を行なうものであり、この一連の処理は初期値を与えることにより開始される。そして、この一連の処理が繰返されることによりカオスの信号が得られる。

【0017】第3の発明は、多変数非線形関数要素を含む一般化されたカオスの信号発生装置および方法を提供している。

【0018】第3の発明によるカオスの信号発生装置は、複数の入力変数信号をそれぞれ所定時間遅延させる複数のディレイ手段、上記複数のディレイ手段から得られる複数の変数信号のうちの少なくとも1つをそれぞれ入力とし、この入力変数信号を1変数または多変数非線形関数により関数信号に変換する複数の非線形関数手段、ならびに各入力変数信号の初期値を与える複数の初期化手段を備え、上記非線形関数手段から得られる関数信号が対応する上記ディレイ手段にフィードバックされるように構成されているものである。

【0019】このカオスの信号発生装置もまたハードウェア・アーキテクチャまたはコンピュータ・ソフトウェアにより実現することができる。

【0020】第3の発明によるカオスの信号発生方法は、複数の入力変数信号をそれぞれ保存しておき、保存されている複数の変数信号のうちのいくつかを複数の異なる多変数非線形関数によりそれぞれ関数信号に変換し、多変数非線形関数変換により得られた複数の関数信号を新たな入力変数信号としてそれぞれ保存する一連の処理を行なうものであり、この一連の処理は初期値を与えることにより開始される。またこの一連の処理が繰返されることにより複数のカオスの信号が得られる。この発明はさらに、第1の発明によるカオスの信号発生装置またはカオス・デバイスにおいて用いられる線形ディレイ素子を提供している。

【0021】この線形ディレイ素子は、入力信号を所定時間遅延させるディレイ要素、上記ディレイ要素から得られる信号を所定係数倍する係数要素、および上記ディレイ要素または係数要素に初期値を与える初期化要素を備えている。

【0022】この発明は、第1および第2の発明による

カオスの信号発生装置またはカオス・デバイスで用いられる非線形ディレイ素子を提供している。

【0023】この非線形ディレイ素子は、入力信号を所定時間遅延させるディレイ要素、上記ディレイ要素から得られる信号を非線形関数によって変換する非線形関数要素、および上記ディレイ要素の入力信号として、上記非線形関数要素の入力信号として、または上記非線形関数要素の出力信号として初期値を与える初期化要素を備えている。

【0024】このような線形ディレイ素子および非線形ディレイ素子、ならびに加算回路を組合せることにより、第1または第2の発明によるカオスの信号発生装置またはカオス・デバイスを構成することができる。とくに、カオス・デバイスをIC化するときこれらのディレイ素子は有効に使用される。

【0025】さらに、この発明は、第3の発明によるカオスの信号発生装置において用いられる一般的非線形ディレイ素子を提供している。

【0026】この一般的非線形ディレイ素子は、入力変数信号を所定時間遅延させるディレイ要素、上記ディレイ要素から得られる変数信号および外部から与えられる変数信号を多変数非線形関数によって関数信号に変換する多変数非線形関数要素、ならびに上記ディレイ要素または多変数非線形関数要素に初期値を与える初期化要素を備えている。

【0027】このような一般的非線形ディレイ素子を複数個組合せることにより、第3の発明によるカオスの信号発生装置を容易に構築することができる。

【0028】この発明によるカオスの信号発生装置（またはカオス・デバイス）および方法によると、時間軸上でカオス的なふるまいをする出力信号を得ることができる。したがって、非線形関数とそのパラメータおよび初期値とに応じてカオス的な出力信号がどのようなふるまいをするか等の実証的研究、理論の検証等を行なうことができるようになる。とくにこの発明によるカオスの信号発生装置をハードウェア回路により実現した場合には、きわめて高速にカオス的な信号を得ることができる。

【0029】また、この発明によるカオスの信号発生装置および方法によって得られるカオス的な出力信号を直接的または間接的に用いることによって種々の表示を行なうことができる。この表示は非予測的であり、しかも雑音とは異なるので、見ていて飽きることがなくかつ魅力的なものとなる。

【0030】この発明によるカオスの信号発生装置および方法により得られるカオス的な出力信号は上記以外に、音の発生、パターン絵の発生、色の発生、自然感にあふれた室内風の発生（たとえば、扇風機の制御、空調器の制御等）、ゲーム機の制御、噴水等における水の流れの制御等々多くの応用に利用することが可能である。

【0031】

【実施例の説明】非線形関数を含む差分方程式（または漸化式）の解の軌道は、パラメータおよび初期値を適当に定めることにより、カオス的なふるまいをすることが知られている。

【0032】最も単純な差分方程式を考える。

【0033】

$$x_{n+1} = f(x_n) + a x_{n-1} \\ = f(x_n) + a y_n \quad \text{式1}$$

$$y_{n+1} = x_n \quad \text{式2}$$

10 ここで $f(x_n)$ は、たとえば $b x_n^2$ 等の非線形関数を表わす。係数 a 、 b をパラメータという。

【0034】式1および式2の解は初期値 (x_0, y_0) ($n=0$ のときの x, y の値) を与えることにより一義的に定まる。

【0035】一般には n は時間軸上にとられ、ある有限の時間 t (一般には微小時間) ごとにインCREMENT されていく。

20 【0036】したがって、式1および式2の解 (x_n, y_n) をXY直交座標上に表わすことができ、解を表わす点 (x_n, y_n) は時間の経過にともない軌跡を描く。

【0037】 n を増大していったときに、解は一点に収束していくか、発散するか、周期性を示すか、または全く不規則に変化する。第4番目の全く不規則に変化するふるまいが一般にカオスと呼ばれている。解がどのようなふるまいをするかは、専らパラメータ $a, f(x)$ の非線形性を特定するパラメータ（たとえば、上記 b など）および初期値 (x_0, y_0) により決定される。

30 【0038】図1は式1および式2を解いて一連の解を時間の経過とともに出力するカオスの信号発生装置の機能的構成を示すものである。

【0039】このカオスの信号発生装置は、2つのディレイ要素（たとえばディレイ回路）10, 11, 2つの初期化要素（たとえば初期化のためのスイッチ回路）20, 21, 非線形関数要素（たとえば非線形関数回路）30, 係数要素（たとえば係数器）40および加算要素（たとえば加算回路）50から構成されている。これらの各要素には t の周期をもつクロック信号 ϕ が与えられ、このクロック信号 ϕ に同期して動作する。

40 【0040】ディレイ要素10, 11は、入力信号を1クロック周期 T 遅延させて出力するものである。

【0041】初期化要素20, 21は図2(A)に拡大して示すシンボルによって表現され、電子回路においては具体的には図2(B)に示す切替スイッチによって実現される。

50 【0042】初期値 x_0 または y_0 を与えるときには切替スイッチは端子 T_1 に接続され、入力端子 C に入力する初期値が出力端子 B に伝えられる。それ以降は、切替スイッチは端子 T_2 に接続され、入力端子 A の入力出力端子 B に伝達される。

【0043】非線形関数要素30は、入力 x_n の非線形関数 $f(x_n)$ を出力する。

【0044】係数要素40は入力 y_n を係数 a 倍して出力する。

【0045】加算要素50はそのすべての入力の和を演算し、この加算結果を x_{n+1} として出力する。

【0046】図1に示す構成は次のように動作する。

【0047】初期値 x_0, y_0 が与えられると、これらの初期値 x_0, y_0 は初期化要素20, 21をそれぞれ通り、初期値 x_0 は非線形関数要素30およびディレイ要素11に、初期値 y_0 は係数要素40にそれぞれ与えられる。非線形関数要素30から $f(x_0)$ が、係数要素40から $a y_0$ がそれぞれ出力され、加算要素50から式1にしたがって、 $x_1 = f(x_0) + a y_0$ が出力される。この値 x_1 はディレイ要素10に入力する。

【0048】1クロック周期 t が経過すると、ディレイ要素10, 11からはそれぞれ $x_1, x_0 (= y_1)$ が出力される。

$$x_{n+1} = f(x_n) + a_1 x_{n-1} + a_2 x_{n-2} + a_3 x_{n-3} + a_4 x_{n-4} + \dots + a_i x_{n-i} + \dots$$

式3を次のように変形する。

$$x_{n+1} = f(x_n) + a_1 y_n + a_2 z_n + a_3 p_n + a_4 q_n + \dots$$

$$y_{n+1} = x_n \quad \text{式5}$$

$$z_{n+1} = y_n (= x_{n-1}) \quad \text{式6}$$

$$p_{n+1} = z_n (= x_{n-2}) \quad \text{式7}$$

$$q_{n+1} = p_n (= x_{n-3}) \quad \text{式8}$$

⋮

$$X_{n+1} = \{ x_{n+1}, y_{n+1}, z_{n+1}, p_{n+1}, q_{n+1}, \dots \}^T \quad \text{式9}$$

と置くと、式4～式8は次のように表現される。

【0057】

$$X_{n+1} = \begin{bmatrix} x_{n+1} \\ y_{n+1} \\ z_{n+1} \\ p_{n+1} \\ q_{n+1} \\ \vdots \end{bmatrix} = \begin{bmatrix} f(x_n) \\ 0 \\ 0 \\ 0 \\ 0 \\ \vdots \end{bmatrix} + \begin{bmatrix} 0 & a_1 & a_2 & a_3 & a_4 & \dots \\ 1 & 0 & 0 & 0 & 0 & \dots \\ 0 & 1 & 0 & 0 & 0 & \dots \\ 0 & 0 & 1 & 0 & 0 & \dots \\ 0 & 0 & 0 & 1 & 0 & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \dots \end{bmatrix} \begin{bmatrix} x_n \\ y_n \\ z_n \\ p_n \\ q_n \\ \vdots \end{bmatrix}$$

⋯式10

ここで、

$$F(x_n) = \{ f(x_n), 0, 0, 0, 0, \dots \}^T \quad \text{式11}$$

【数2】

$$A = \begin{bmatrix} 0 & a_1 & a_2 & a_3 & a_4 & \dots \\ 1 & 0 & 0 & 0 & 0 & \dots \\ 0 & 1 & 0 & 0 & 0 & \dots \\ 0 & 0 & 1 & 0 & 0 & \dots \\ 0 & 0 & 0 & 1 & 0 & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \dots \end{bmatrix} \quad \text{⋯式12}$$

$$X_n = \{ x_n, y_n, z_n, p_n, q_n, \dots \}^T \quad \text{式13}$$

と置くと、式10は次のように簡潔に表現される。

$$X_{n+1} = F(x_n) + A \cdot X_n \quad \text{式14}$$

式3, または式4~式8, または式10, または式14で表わされる漸化式の解 $X_n = \{ x_n, y_n, z_n, p_n, q_n, \dots \}^T$ (式13) を求めるためのカオスの信号発生装置の機能的構成が図3に示されている。

【0059】この機能的構成は、多数段のディレイ要素10, 11, 12, 13, 14, ...と、これらのディレイ要素間に設けられた初期化要素20, 21, 22, 23, 24, ...と、初期化要素20の出力を入力とする非線形関数要素30と、他の初期化要素21, 22, 23, 24, ...の出力をそれぞれ係数 $a_1, a_2, a_3, a_4, \dots$ 倍する係数要素41, 42, 43, 44, ...と、非線形関数要素30および係数要素41, 42, 43, 44, ...の出力を加算する加算要素50とから構成されている。加算要素50の出力は最前段のディレイ要素10にフィードバックされる。

【0060】初期値 $X_0 = \{ x_0, y_0, z_0, p_0, q_0, \dots \}^T$ が初期化要素20, 21, 22, 23, 24, ...を通して与えられると、非線形関数要素30, 係数要素41, 42, 43, 44, ...からそれぞれ $f(x_0), a_1 y_0, a_2 z_0, a_3 p_0, a_4 q_0, \dots$ が出力され、これらが加算要素50で加算されることにより、 x_1 が得られる。この出力 x_1 はディレイ要素10にフィードバックされる。

【0061】ある時刻においては、非線形関数要素30, 係数要素41, 42, 43, 44, ...にそれぞれ $x_n, y_n = x_{n-1}, z_n = x_{n-2}, p_n = x_{n-3}, q_n = x_{n-4}, \dots$ がそれぞれ与えられ、非線形関数要素30, 係数要素41, 42, 43, 44, ...からそれぞれ $f(x_n), a_1 y_n, a_2 z_n, a_3 p_n, a_4 q_n, \dots$ が出力され、これらが加算要素50で加算されることにより、 x_{n+1} が得られる。

$$x_{n+1} = f_0(x_n) + f_1(x_{n-1}) + f_2(x_{n-2}) + f_3(x_{n-3}) + f_4(x_{n-4}) + \dots \quad \text{式15}$$

式15は次のように変形できる。

$$x_{n+1} = f_0(x_n) + y_n + z_n + p_n + q_n + \dots \quad \text{式16}$$

$$y_n = f_1(x_{n-1}) \quad \text{式17}$$

$$z_n = f_2(x_{n-2}) \quad \text{式18}$$

$$p_n = f_3(x_{n-3}) \quad \text{式19}$$

$$q_n = f_4(x_{n-4}) \quad \text{式20}$$

式15, または式16~式20で表わされる漸化式の解 $x_n, y_n, z_n, p_n, q_n, \dots$ または一組の解 $x_n, x_{n-1}, x_{n-2}, x_{n-3}, x_{n-4}, \dots$ もしくは $x_n, y_n, z_n, p_n, q_n, \dots$ を求めるためのカオスの信号発生装置の機能的構成が図4に示されている。この機能的構成は、多数段のディレイ要素10, 11, 12, 13, 14, ...と、これらのディレイ要素間に設けられた初期化要素20, 21, 22, 23, 24, ...と、これらの初期化要素20, 21, 22, 23, 24の出力を入力とする非線形関数要素30, 31, 32, 33, 34, ...と、これらの非線形関数要素30, 31, 32, 33, 34, ...の出力を加算する加算要素50とから構成されている。加算要素50

$a_2 z_n, a_3 p_n, a_4 q_n, \dots$ が得られるので、加算要素50からは式14で表わされる出力 x_{n+1} が得られ、これが最前段のディレイ要素10にフィードバックされる。

【0062】図3には図示が省略されているクロック信号の1周期 t ごとに n がインクリメントされながら上記動作が行なわれるのはいうまでもない。

【0063】一組の解 $X_n = \{ x_n, y_n, z_n, p_n, q_n, \dots \}^T$ は、ディレイ要素10, 11, 12, 13, 14, ...の出力に現われるが、これらは、切替スイッチが端子 T_A に接続された初期化要素20, 21, 22, 23, 24, ...の出力として外部に取出される。

【0064】初期化要素を通して一組の初期値 $X_0 = \{ x_0, y_0, z_0, p_0, q_0, \dots \}^T$ を与えることに代えて、ディレイ要素10または初期化要素20を通して、 $x_0, x_1, x_2, x_3, x_4, \dots$ (または、 $\dots, x_{-4}, x_{-3}, x_{-2}, x_{-1}, x_0$) を1クロック周期ごとに順次入力するようにしてもよい。この場合には、すべての初期値の入力が完了するまで加算要素50の出力をディレイ要素10にフィードバックしないようにする。

【0065】図1および図3において、係数要素40, 41, 42, 43, 44, ...の係数 $a, a_1, a_2, a_3, a_4, \dots$ は外部から変えることができるようにしておくことが好ましい。また、後述するように、非線形関数要素30に設定される非線形関数の形も外部から変えることができるようにするとよい。

【0066】続いて複数の非線形関数をもつより一般的な漸化式について検討する。

【0067】

【0068】の出力 x_{n+1} が最前段のディレイ要素10にフィードバックされる。非線形関数要素30, 31, 32, 33, 34, ...には非線形関数 $f_0, f_1, f_2, f_3, f_4, \dots$ がそれぞれ設定されている。

【0069】初期値 $x_0, x_{-1}, x_{-2}, x_{-3}, x_{-4}, \dots$ が初期化要素20, 21, 22, 23, 24, ...を通して与えられると、非線形関数要素30, 31, 32, 33, 34, ...からそれぞれ $f_0(x_0), y_0 = f_1(x_{-1}), z_0 = f_2(x_{-2}), p_0 = f_3(x_{-3}), q_0 = f_4(x_{-4}), \dots$ が出力され、これらが加算要素50で加算されることにより、 x_1 が得られる。この出力 x_1 はディレイ要素10にフィードバックされる。ある時刻においては、非線形関数要素30, 31, 32, 33, 34, ...にそれぞれ $x_n, x_{n-1}, x_{n-2}, x_{n-3}, x_{n-4}, \dots$ がそれぞれ与えられ、非線形関数要素30, 31, 32, 33, 34, ...からそれぞれ $f_0(x_n), y_n = f_1(x_{n-1}), z_n = f_2(x_{n-2}), p_n = f_3(x_{n-3}), q_n = f_4(x_{n-4}), \dots$ が出力され、これらが加算要素50で加算されることにより、 x_{n+1} が得られる。

$2(x_{n-2})$, $p_n = f_3(x_{n-3})$, $q_n = f_4(x_{n-4})$, ...が得られるので、加算要素50からは式15または式16で表わされる出力 x_{n+1} が得られ、これがディレイ要素10にフィードバックされる。

【0070】図4にも図示が省略されているクロック信号の1周期 t ごとに n がインCREMENTされながら上記動作が行なわれるのはいうまでもない。

【0071】出力 x_n , x_{n-1} , x_{n-2} , x_{n-3} , x_{n-4} , ...はそれぞれディレイ要素10, 11, 12, 13, 14, ...の出力に現われるが、これらは、切替スイッチが端子 T_A に接続された初期化要素20, 21, 22, 23, 24, ...の出力として外部に取出される。また、非線形関数要素30, 31, 32, 33, 34, ...から出力 $f_0(x_n)$, $y_n = f_1(x_{n-1})$, $z_n = f_2(x_{n-2})$, $p_n = f_3(x_{n-3})$, $q_n = f_4(x_{n-4})$, ...を得ることもできる。

【0072】初期化要素21, 22, 23, 24, ...に代えて、鎖線で示すように、非線形関数要素31, 32, 33, 34, ...の出力側(加算要素50の対応する入力側)に初期値 $y_0 = f_1(x_{-1})$, $z_0 = f_2(x_{-2})$, $p_0 = f_3(x_{-3})$, $q_0 = f_4(x_{-4})$, ...をそれぞれ初期化要素61, 62, 63, 64, ...を通して入力するようにすることもできる。

【0073】図4においても、非線形関数要素30, 31, 32, 33, 34, ...に設定される非線形関数は可変であることが好ましい。

【0074】図3に示す構成は、電子回路上いくつかのユニットに分解して考えることができる。図3に示す構成の単位となるユニットが図5および図6に示されている。図5の回路を線形ディレイ・ユニット(LD=Linear Delay Unit)と呼ぶ。この線形ディレイ・ユニット(LD)は、ディレイ要素1i, 初期化要素2iおよび係数要素4i($i=1, 2, 3, 4, \dots$)を含み、ディレイ要素1iの出力側に初期化要素2iが、さらに初期化要素2iの出力側に係数要素4iがそれぞれ接続されている。線形ディレイ・ユニット(LD)には、ディレイ要素1iに与える入力 x_{n-i+1} の入力端子、ディレイ要素1iの出力 x_{n-i} を初期化要素2iを通して取出す出力端子、初期値 x_0 (または y_0 , z_0 , p_0 , q_0 等)の入力端子、および係数要素4iの出力 $a_i \cdot x_{n-i}$ を取出す修飾出力端子がさらに設けられている。

【0075】図6の回路を非線形ディレイ・ユニット(ND=Nonlinear Delay Unit)と呼ぶ。この非線形ディレイ・ユニット(ND)は、ディレイ要素1i, 初期化*

$$x_{n+1} = f_1(x_n, y_n, z_n, p_n, q_n, \dots) \quad \text{式21}$$

$$y_{n+1} = f_2(x_n, y_n, z_n, p_n, q_n, \dots) \quad \text{式22}$$

$$z_{n+1} = f_3(x_n, y_n, z_n, p_n, q_n, \dots) \quad \text{式23}$$

$$p_{n+1} = f_4(x_n, y_n, z_n, p_n, q_n, \dots) \quad \text{式24}$$

$$q_{n+1} = f_5(x_n, y_n, z_n, p_n, q_n, \dots) \quad \text{式25}$$

*要素2iおよび非線形関数要素3i($i=0, 1, 2, 3, 4, \dots$)を含み、ディレイ要素1iの出力側に初期化要素2iが、初期化要素2iの出力側に非線形関数要素3iがそれぞれ接続されている。非線形ディレイ・ユニット(ND)には、ディレイ要素1iに与える入力 x_{n-i+1} の入力端子、ディレイ要素1iの出力 x_{n-i} を初期化要素2iを通して取出す出力端子、非線形関数要素3iの出力 $f_i(x_{n-i})$ を取出す修飾出力端子および、初期値 x_0 (または x_{-1} , x_{-2} , x_{-3} , x_{-4} 等)の入力端子が設けられている。

10 【0076】要すれば、鎖線で示すように、非線形関数要素3iの出力側に初期化要素6i($i=1, 2, 3, 4, \dots$)を設け、かつ初期値 $f_i(x_n)$ の入力端子を設ける。

【0077】1個の非線形ディレイ・ユニット(ND)と、複数個の線形ディレイ・ユニット(LD)の各入出力間を縦続接続し、かつ各ユニット(ND), (LD)の出力 $f_i(x_{n-i})$, $a_i \cdot x_{n-i}$ が加算要素50に入力するように接続し、加算要素50の出力を非線形ディレイ・ユニット(ND)にフィードバックすることにより、図3に示す回路が構成される。

20 【0078】このような非線形ディレイ・ユニット(ND)と、複数個の線形ディレイ・ユニット(LD)と、加算要素50を含む加算ユニット50Aとを1チップ上にIC化することが可能である。このようにIC化されたカオス・デバイスのチップ・レイアウトの概要が図7に示されている。このレイアウトではユニット間の結線のための配線パターンの図示が省略されている。加算ユニット50Aは演算増幅器とその入力抵抗アレイとから構成されよう。

30 【0079】同じように、複数個の非線形ディレイ・ユニット(ND)の各入出力間を縦続接続し、かつ各ユニット(ND)の出力 $f_i(x_{n-i})$ が加算要素50に入力するように接続し、加算要素50の出力を最前段の非線形ディレイ・ユニット(ND)にフィードバックすることにより、図4に示す回路が構成される。

40 【0080】このような複数個の非線形ディレイ・ユニット(ND)と、加算要素50を含む加算ユニット50Aとを1チップ上にIC化することが可能である。このようにIC化されたカオス・デバイスのチップ・レイアウトの概要が図8に示されている。このレイアウトでもユニット間の結線のため配線パターンの図示が省略されている。

【0081】一般的な漸化式は次のように表わされる。

【0082】

$f_1, f_2, f_3, f_4, f_5, \dots$ は多変数の非線形関数である。

【0083】式21～式25で表わされる漸化式の一連の解を発生するカオスの信号発生装置の機能的構成が図9に示されている。式21～式25のそれぞれについてディレイ要素11～15, 初期化要素21～25および多変数非線形関数要素71～75がそれぞれ、縦続接続されている。各多変数非線形関数要素71～75には、すべての初期化要素21～25の出力が与えられる。多変数非線形関数要素の出力 $x_{n+1} \sim q_{n+1}$ が出力として外部に取出されるとともに、対応するディレイ要素11～15にそれぞれフィードバックされる。多変数非線形関数要素には、必ずしもすべての初期化要素の出力を与えなくてもよい。多変数非線形関数要素として、重み付き加算と閾値関数を用いた特殊な場合がホップ・フィールド・モデルである。

【0084】図9に示す構成は、図10に示す一般的非線形ディレイ・ユニット (GNLD = Generalized Nonlinear Delay Unit) を組合せることにより構築することができる。複数個の一般的非線形ディレイ・ユニット (GNLD) からなるカオス・デバイスのICチップ・レイアウトが図11に示されている。このレイアウトではユニット間の結線のための配線パターンの図示が省略されている。

【0085】続いて上述した線形ディレイ・ユニット (LD) および非線形ディレイ・ユニット (ND) を電子回路により実現した具体例について述べる。

【0086】図12は線形ディレイ・ユニット (LD) の具体的回路を示している。この図において、図5との対応関係を分りやすくするために、入、出力信号については図5に示すものと同一符号が使用されている。

【0087】ディレイ要素は2つのコンデンサ C_1, C_2 と切替スイッチ SW_1, SW_2 とから構成されている。切替スイッチ SW_1, SW_2 は図13に示すようなクロック信号によって切替制御される。ディレイ時間 t はクロック信号の1周期に等しい。係数要素はフィードバック抵抗 R_f を含む演算増幅器 A_{11} によって実現される。係数 a_i は抵抗 R_f の値によって調整される。初期化要素はスイッチ SW_3 を含む。

【0088】切替スイッチ SW_1 が端子 T_2 に、切替スイッチ SW_2 が端子 T_1 にそれぞれ接続され、スイッチ SW_3 がオンとされることにより初期値 x_0 が入力される。この初期値 x_0 を表わす電圧信号によって入力コンデンサ C_1 に充電される。コンデンサ C_1 の電圧は反転増幅器 A_{11} で $-a_i$ 倍されて出力コンデンサ C_2 に蓄えられる。

【0089】次に、切替スイッチ SW_1 が端子 T_1 に、切替スイッチ SW_2 が端子 T_2 に接続されると、入力コンデンサ C_1 には入力 x_{n-i+1} を表わす電圧が蓄えられ、一方出力コンデンサ C_2 の電圧は反転増幅器 A_{12} を経て出力 $a_i \cdot x_{n-i}$ として出力される。

【0090】再び切替スイッチ SW_1 が端子 T_2 に、切替スイッチ SW_2 が端子 T_1 に接続されると、入力コンデンサ C_1 の電圧が $-a_i$ 倍されて出力コンデンサ C_2 に蓄えられることになる。このようにして、時間 t ごとに入力が取込まれかつ出力が外部に取出されることになる。

【0091】上述したように切替スイッチ SW_1, SW_2 , スイッチ SW_3 は半導体スイッチング回路により実現されよう。スイッチ SW_3 は手動により直接にまたは間接に操作または制御されよう。このような線形ディレイ・ユニット内または線形ディレイ・ユニット間には適宜バッファ回路が接続されよう。

【0092】図14は線形ディレイ・ユニット (LD) の具体例の他の構成を示している。この図および後に言及する各図においても、図12に示すスイッチやコンデンサと同じ符号 $SW_1, SW_2, \dots, C_1, C_2, \dots$ 等が使用されているが、煩雑さを避けるために便宜的に符号を重複して使用しているにすぎず、各符号は各図ごとに相互に独立である。

【0093】図14に示す回路は、複数の (図14では3個の) コンデンサ C_1, C_2, C_3 と複数のスイッチ $SW_1 \sim SW_6$ とから構成されている。スイッチ $SW_1 \sim SW_5$ はクロック信号 ϕ_1 によって、スイッチ $SW_6 \sim SW_8$ はクロック信号 ϕ_2 によってそれぞれ制御される。クロック信号 ϕ_1 と ϕ_2 は図15に示すように逆位相の信号である。

【0094】クロック信号 ϕ_1 によってスイッチ $SW_1 \sim SW_5$ がオンとされたときに、スイッチ $SW_6 \sim SW_8$ はオフ状態を保つ。このときに形成される回路が図16(A)に示されている。3個のコンデンサ C_1, C_2, C_3 が並列に接続され、これらのコンデンサは入力電圧信号 v_{in} によって等しい電圧に充電される。

【0095】次にクロック信号 ϕ_2 によってスイッチ $SW_6 \sim SW_8$ がオンとされると、スイッチ $SW_1 \sim SW_5$ はオフの状態となる。このとき形成される回路が図16(B)に示されている。3個のコンデンサ C_1, C_2, C_3 は直列に接続される。したがって出力信号 v_{out} は $3v_{in}$ となる。すなわち、図14に示す回路によると、入力信号 v_{in} が3倍されかつ時間 t 遅延されて出力されることになる。

【0096】以下の説明においては、図16で示したと同じように表現を簡略化するために入力信号 x_{n-i+1} に代えて入力信号 v_{in} の符号を、出力信号 x_{n-i} に代えて出力信号 v_{out} の符号をそれぞれ用いることにする。

【0097】図14において、スイッチ $SW_2 \sim SW_7$ を選択的にオン、オフ制御するようにすると、係数要素の係数 a_i を変えることができる。

【0098】コンデンサ $C_1 \sim C_3$ に充電するときには図16(A)に示すようにスイッチ $SW_1 \sim SW_5$ をオン、 $SW_6 \sim SW_8$ をオフとする。

【0099】次にコンデンサ $C_1 \sim C_3$ に充電された電荷による出力 v_{out} を取出すときには、スイッチ SW_6, SW_8 をオンとし、スイッチ SW_7 をオフのままに保つ。またスイッチ SW_1, SW_2, SW_4 をオフとし、スイッチ SW_3, SW_5 をオンのままに保つ。すると、コンデンサ C_2 と C_3 が並列に接続された状態に保たれ、出力 v_{out} は $2v_{in}$ の値を示す。これらのスイッチ $SW_1 \sim SW_8$ の操作により、 $v_{out} = v_{in}$ の値をもつ出力を得ることもできる。

【0100】上記に代えて、 SW_2 および SW_3 のうちのいずれか一方または両方を常時オン状態としておくことにより、スイッチ SW_6 および SW_7 のうちの対応するいずれか一方または両方がオンとなったときに、コンデンサ C_1, C_2 に充電されていた電荷は放電するので、出力電圧 v_{out} を $2v_{in}$ または v_{in} とすることができる。

【0101】このように、スイッチ $SW_1 \sim SW_8$ のオン、オフ制御のやり方を変えることにより所望の係数 a_i を得ることができる。接続するコンデンサの数を増加させることにより係数 a_i の値の選択の自由度が高まる。IC基板上に多数のコンデンサとスイッチとをあらかじめ設けておき、これらをマスク・プログラマブルまたはフィールド・プログラマブルに構成することにより所望の係数 a_i を得ることができるようになる。このことは、後述する多数のコンデンサを用いた他の具体的回路にもあてはまる。

【0102】図14においては煩雑さを避けるために初期化要素の図示が省略されているが、この初期化要素は図12に示す考え方で付加することができる。一般に初期化要素はスイッチと、このスイッチがオンされたときに入力する初期値を表わす電圧を保持するコンデンサとによって構成することができる。このことは、後述する他の具体例においても全く同じである。

【0103】図14に示す回路は、並列に接続された複数のコンデンサを入力電圧によって充電し、これらを直列に接続することにより入力電圧よりも高い電圧の出力($a_i > 1$)を取出すものである。

【0104】これに対して、直列に接続された複数のコンデンサを入力電圧によって充電し、これらを並列に接続することにより、入力電圧よりも低い電圧の出力($a_i < 1$)を取出すようにすることもできる。その構成の一例が図17に示されている。

【0105】図17に示す回路は、複数の(図17では3個の)コンデンサ C_1, C_2, C_3 と複数のスイッチ $SW_1 \sim SW_8$

$$4Cv_{out} + 2Cv_{out} + Cv_{out} = 7Cv_{out} = 3Q \quad \text{式31}$$

式30と式31により、

$$\begin{aligned} v_{out} &= (3/7)(Q/C) = (3/7)(4/7)v_{in} \\ &= (12/49)v_{in} \quad \text{式32} \end{aligned}$$

を得る。

【0113】図17においても、スイッチ $SW_2 \sim SW_7$

$SW_1 \sim SW_8$ とから構成されている。スイッチ $SW_1 \sim SW_3$ はクロック信号 ϕ_1 によって、スイッチ $SW_4 \sim SW_8$ はクロック信号 ϕ_2 によってそれぞれ制御される。クロック信号 ϕ_1 と ϕ_2 は図15に示すものと同じである。

【0106】クロック信号 ϕ_1 によってスイッチ $SW_1 \sim SW_3$ がオンとされたときに、スイッチ $SW_4 \sim SW_8$ はオフ状態を保つ。このときに形成される回路が図18(A)に示されている。3個のコンデンサ C_1, C_2, C_3 が直列に接続され、これらのコンデンサは入力電圧信号 v_{in} によって充電される。

【0107】次にクロック信号 ϕ_2 によってスイッチ $SW_4 \sim SW_8$ がオンとされると、スイッチ $SW_1 \sim SW_3$ はオフの状態となる。このとき形成される回路が図18(B)に示されている。3個のコンデンサ C_1, C_2, C_3 は並列に接続される。したがって $C_1 = C_2 = C_3$ とすれば、出力信号 v_{out} は $v_{in}/3$ となる。すなわち、図17に示す回路によると、入力信号 v_{in} が $1/3$ 倍されかつ時間 t 遅延されて出力されることになる。

【0108】コンデンサ C_1, C_2, C_3 の値の設定の仕方によって任意の係数 a_i ($a_i < 1$)を得ることができる。

【0109】たとえば、 C を単位容量として、 $C_1 = 4C, C_2 = 2C, C_3 = C$ とする。図18(A)において各コンデンサ C_1, C_2, C_3 には等しい電荷が蓄積される。この電荷を Q とする。また、各コンデンサ C_1, C_2, C_3 の両端の電圧をそれぞれ v_1, v_2, v_3 とする。各コンデンサ C_1, C_2, C_3 において次式が成立つ。

$$【0110】 Q = 4Cv_1 \quad \text{式26}$$

$$Q = 2Cv_2 \quad \text{式27}$$

$$Q = Cv_3 \quad \text{式28}$$

一方、

$$v_{in} = v_1 + v_2 + v_3 \quad \text{式29}$$

これより、

$$Q/C = (4/7)v_{in} \quad \text{式30}$$

を得る。

【0111】一方、図18(B)において、 $3Q$ の電荷が3つのコンデンサ C_1, C_2, C_3 に再分配される。各コンデンサ C_1, C_2, C_3 に蓄えられる電荷量はそれぞれ $4Cv_{out}, 2Cv_{out}, Cv_{out}$ であるから次式が成立つ。

【0112】

$$4Cv_{out} + 2Cv_{out} + Cv_{out} = 7Cv_{out} = 3Q \quad \text{式31}$$

を選択的にオン、オフ制御するようにすると、係数要素の係数 a_i を変えることができる。

【0113】図17においても、スイッチ $SW_2 \sim SW_7$

【0114】図19はさらに他の例を示すものである。ここでは、入力電圧 v_{in} によってコンデンサ C_1 、 C_2 、 C_3 のいずれか1つ、2つまたは全部に充電し、その後、充電されたコンデンサの電荷を3つのコンデンサに再分配して出力電圧 v_{out} として取出す。

【0115】たとえば、クロック信号 ϕ_1 によってスイッチ SW_1 のみをオンとする。他のスイッチ $SW_2 \sim SW_6$ はオフに保たれる。これにより、入力電圧 v_{in} によってコンデンサ C_1 に充電される。次に、クロック信号 ϕ_2 によってスイッチ $SW_4 \sim SW_6$ をオンとする。他のスイッチ $SW_1 \sim SW_3$ はオフの状態に保持される。すると、コンデンサ C_1 に充電された電荷が他のコンデンサ C_2 と C_3 に分配され、これにしたがって定まる電圧の出力 v_{out} が得られる。 $v_{out} < v_{in}$ 、すなわち $a_i < 1$ である。

【0116】スイッチ SW_1 をオンとすることに代えて、クロック信号 ϕ_1 によってスイッチ SW_2 をオンとしてコンデンサ C_2 に充電するようにしてもよいし、スイッチ SW_3 をオンとしてコンデンサ C_3 に充電するようにしてもよいし、スイッチ $SW_1 \sim SW_3$ のうちの2つをオンとして対応する2つのコンデンサに充電するようにしてもよい。

【0117】図20は非線形ディレイ・ユニット (ND) の具体例を示すものであり、図6との対応関係を明らかにするために、入、出力信号としては図6に示すものと同一符号が用いられている。非線形関数要素 $3i$ の具体例については後述する。

【0118】図21は非線形ディレイ・ユニット (ND) を、コンデンサ $C_1 \sim C_4$ と、ダイオード $D_1 \sim D_3$ と、スイッチ $SW_1 \sim SW_5$ とから構成した具体例を示すものである。簡単のために $C_1 = C_2 = C_3 = C_4$ とする。

【0119】クロック信号 ϕ_1 によって、スイッチ SW_1 がオン、切替スイッチ $SW_2 \sim SW_4$ が端子 T_1 に接続、スイッチ SW_5 がオフとされた充電状態が図22(A) に示されている。ダイオード $D_1 \sim D_3$ の順方向降下電圧を v_D とする。

$$v_{in} \geq \frac{(R_3 + R_4) (R_5 + R_6)}{R_4 R_5 + R_4 R_6 + R_3 R_6} E_2 \quad \dots \text{式33}$$

を満たす場合には、ダイオード D_2 のみが導通状態となり、図24の回路は図26(A) に示すようになる。この回路は正の増幅度を持ち、その増幅度は抵抗 R_2 および R_f

$$\frac{(R_3 + R_4) (R_5 + R_6)}{R_4 R_5 + R_4 R_6 + R_3 R_6} E_1 \leq v_{in} < \frac{(R_3 + R_4) (R_5 + R_6)}{R_4 R_5 + R_4 R_6 + R_3 R_6} E_2$$

*【0120】入力電圧 v_{in} が $v_{in} = v_D$ とのときはコンデンサ C_1 にもみ充電される。 $v_D < v_{in} < 2v_D$ のときはコンデンサ C_1 と C_2 に充電される。 $2v_D < v_{in} < 3v_D$ のときはコンデンサ C_1 と C_2 と C_3 に充電される。 $3v_D < v_{in}$ になるとすべてのコンデンサ $C_1 \sim C_4$ に充電される。このように入力電圧 v_{in} の大きさに応じて充電されるコンデンサの数が異なる。

【0121】次にクロック信号 ϕ_1 によって、スイッチ SW_1 がオフ、切替スイッチ $SW_2 \sim SW_4$ が端子 T_2 に接続、スイッチ SW_5 がオンとされた出力電圧取出し状態が図22(B) に示されている。すべてのコンデンサ $C_1 \sim C_4$ が並列に接続され、先に充電されたコンデンサの電荷がすべてのコンデンサに分配されることになる。入力電圧 v_{in} の大きさに応じて充電されるコンデンサの数および電荷量が異なるから、入力電圧 v_{in} / 出力電圧 v_{out} 特性は図23に示すようになる。この特性は非線形特性である。すなわち、図21に示す回路によると、入力電圧 v_{in} が図23に示す非線形特性によって変換されることにより得られる出力電圧 v_{out} が、入力電圧 v_{in} の入力から周期 t 遅れて出力されることになる。

【0122】図24は非線形関数要素 $3i$ を電子回路により具体化した一例を示すものである。この回路は、フィードバック可変抵抗 R_f をもつ非反転演算増幅器 A_2 を含む。入力電圧 v_{in} は入力抵抗を介して増幅器 A_2 の正および負入力端子に与えられる。増幅器 A_2 の負入力端子は入力抵抗を介して2つのダイオード D_1 、 D_2 (このダイオードも図21に示すものと同じ符号が使用されているが相互に関連性はない) が並列にかつ相互に逆向きに接続されている。一方のダイオード D_1 のアノードには可変抵抗 R_1 を介して $-E_1$ の電圧が、他方のダイオード D_2 のカソードには可変抵抗 R_2 を介して $+E_2$ の電圧がそれぞれ印加されている。出力電圧 v_{out} は増幅器 A_2 の出力端子より得られる。

【0123】今、ダイオードの順方向降下電圧 v_D を無視して考えると、入力電圧 v_{in} が

【数3】

の少なくともいずれか一方により変えることができる。

【0124】入力電圧 v_{in} が

【数4】

の場合には、ダイオードD₁、D₂はともに遮断状態となるから、図24の回路は図26(B)に示すようになる。増幅器A₂のフィードバック抵抗R_fを適当に選ぶことに*

$$v_{in} < \frac{(R_3 + R_4)(R_5 + R_6)}{R_4 R_5 + R_4 R_6 + R_3 R_6} E_1 \quad \dots \text{式35}$$

の場合には、ダイオードD₁のみが導通状態となるので、図26(C)に示す回路が実現される。この回路もまた正の増幅度をもち、その増幅度は抵抗R₁およびR_fの少なくともいずれか一方によって調整することができる。

【0126】したがって、図24に示す回路の入出力特性は図25に図示されるように非線形性を示す。

【0127】上述した種々の電子回路はすべて電圧モードで動作するものである。

【0128】次に電流モードで動作する線形ディレイ・ユニット(LD)および非線形ディレイ・ユニット(ND)の具体例について説明する。

【0129】図27は電流モードで動作する線形ディレイ・ユニット(LD)の具体的回路例を示すものである。この回路は2つのスイッチト・カレント・ミラーによって構成されている。入力側のスイッチト・カレント・ミラーはカレント・ミラーを構成するnMOSFET Q₁、Q₂と、これらのFET Q₁、Q₂のゲート間に接続されたスイッチング素子としてのnMOSFET Q

$$I_2 = [(W_2 / L_2) / (W_1 / L_1)] I_i \quad \text{式36}$$

このとき、FET Q₂のゲート/ドレイン間寄生容量C₆₀₁に電流I₂に対応するゲート電圧に等しい電圧を表わす電荷が蓄えられる。電流I₂はFET Q₃にも流れ、FET Q₃のゲート/ドレイン間には電流I₂に対応する電圧降下が発生する。

【0133】次にクロック信号がLレベルになるとFET Q₅はオフ、FET Q₆はオンとなる。したがって出力側のカレント・ミラーが動作する。すなわち、容量C₆₀₁に蓄えられた電荷による電圧によってFET

$$I_0 = [(W_4 / L_4) / (W_3 / L_3)] I_2 \\ = [(W_4 / L_4) / (W_3 / L_3)] \cdot [(W_2 / L_2) / (W_1 / L_1)] I_i = a_i \cdot I_i \quad \text{式37}$$

$$a_i = [(W_4 / L_4) / (W_3 / L_3)] \cdot [(W_2 / L_2) / (W_1 / L_1)] \quad \text{式38}$$

したがって、出力電流I₀は入力電流I_iにa_i倍された電流値をもち、かつ入力電流I_iの入力時点から時間t遅れた時点で出力されることになる。係数a_iは好ましくはW₄/L₄、W₁/L₁で調整するとよい。

【0135】このような電流モードの回路は、加算が結線(ワイヤードサム)のみでよく、構成素子数が少なくIC化に適している。たとえば図12に示す電圧モードの線形ディレイ・ユニットと比較してみよう。

【0136】図12に示す電圧モードの線形ディレイ・ユ

*より負の増幅度をもたせることができる。

【0125】入力電圧v_{in}が【数5】

$$v_{in} < \frac{(R_3 + R_4)(R_5 + R_6)}{R_4 R_5 + R_4 R_6 + R_3 R_6} E_1 \quad \dots \text{式35}$$

とから構成されている。FET Q₁に入力信号が電流I_iとして与えられる。出力側のスイッチト・カレント・ミラーはカレント・ミラーを構成するpMOSFET Q₃、Q₄と、これらのFET Q₃、Q₄のゲート間に接続されたスイッチング素子としてのpMOSFET Q₆とから構成されている。FET Q₄から出力信号が電流I₀として得られる。スイッチング素子としてのFET Q₅、Q₆はクロック信号(図13参照)により制御される。

【0130】クロック信号がHレベルのときFET Q₅はオン、FET Q₆はオフとなる。FET Q₅がオンであるから入力側のカレント・ミラーが動作し、FET Q₁に入力電流I_iが与えられると、これに対応した電流I₂がFET Q₂に流れる。

【0131】FET Q₁のチャンネル幅/チャンネル長の比(これを以下W/L比という)をW₁/L₁、FET Q₂のW/L比をW₂/L₂とすると、電流I₂は次式で与えられる。

【0132】

Q₂、Q₃に電流I₂が流れ続け、この時生じているFET Q₃のゲート/ドレイン間の電圧降下に等しい電圧まで、オンとなったFET Q₆を通じてC₆₀₂が充電され、その結果として出力側のFET Q₄にはこれに応じた出力電流I₀が流れることになる。FET Q₃のW/L比をW₃/L₃、FET Q₄のW/L比をW₄/L₄とすると、出力電流I₀は次式で与えられる。

【0134】

ユニット(LD)は、抵抗素子が3個必要であり、その形成のために大面積が必要となる。また、演算増幅器とスイッチとを含むからこれをトランジスタで実現するためには11~20個のトランジスタが必要である。また少なくとも2個の容量(コンデンサ)が必要である。

【0137】これに対して図27に示す電流モードの線形ディレイ・ユニット(LD)では抵抗素子は不要であり、FETのゲート容量を利用しているからコンデンサも不要である。図27から分るようにトランジスタは6個

ですむ。

【0138】次に図28を参照して非線形ディレイ・ユニット(ND)を電流モードで動作する回路により実現した具体例について説明する。

【0139】図28において図27に示すものと同一物には同一符号が付されている。図28の回路には図27の回路と比較すると、入力側のFETQ₁が非線形機能素子SCによって置きかえられている。この非線形機能素子SCは非線形な電流/電圧特性をもつもので、たとえばサイリスタで実現でき、ICに対して外付けしてもよいし、ICチップ内に埋込むようにすることもできる。

【0140】入力電流I_iに対して非線形変換された電圧を表わす電荷が容量C_{GD1}に蓄えられることになるので、図28の回路では、時間t後に非線形変換された出力電流I_oが得られることになる。

【0141】最後に上述したカオス・デバイスの応用例について説明する。

【0142】最も簡単な図1に示す構成をコンピュータ・ソフトウェアで実現し、これによるシミュレーション結果について説明する。

【0143】式1および式2を次のように書きなおす。

$$\begin{aligned} x_{n+1} &= f(x_n) + a_2 y_n && \text{式39} \\ y_{n+1} &= x_n && \text{式40} \end{aligned}$$

非線形関数f(x_n)を次式で表わす。

【0145】

【数6】

$$f(x_n) = a_1 \left[x + \frac{x + \cos x^2}{1 + x^2} \right] \quad \text{式41}$$

ここでa₁, a₂は定数(パラメータ)である。

【0146】式41で表わされる非線形関数f(x)は図29に示す曲線を描く。ここでa₁=0.300である。

【0147】図30から図34は式39~式41から得られる(x_n, y_n)によって表わされる点をXY座標に表現したものであり、n=1~20000, すなわち初期値(x₀, y₀)を含めて20001個の点が表示されている。

【0148】図30は初期値x₀=0.000, y₀=0.000, パラメータa₁=0.300, a₂=-1.000の条件を設定した場合に得られるパターンを表わしている。

【0149】図31はパラメータ(a₁=0.300, a₂=-1.000)を固定し、初期値をx₀=5.000, y₀=5.000に変化させることにより得られるパターンを示す。初期値を変えることによって、点の集合によって表わされるパターン(図柄)がかなり変化することが分る。

【0150】図32はパラメータ(a₁=0.300, a₂=-1.000)を固定し、初期値をさらにx₀=10.000, y₀=10.000に変化させた場合を示す。点の集合によって表わされる図柄はさらに変貌を遂げている。

【0151】図33は初期値を図30の場合と同じとし(x

o = 0.000, y_o = 0.000), 一方のパラメータをa₁ = 0.290 (a₂ = -1.000は固定)とわずかに変えた場合に得られるパターンである。図30の場合と異なり、パターンはおおよそ-1 x, y + 2の中に閉じ込められており、パラメータを少し変えただけでもパターンが大幅に変化することが分る。

【0152】図34は一方のパラメータをa₁ = 1.000にさらに変えた場合であり、初期値(x₀ = 0.000, y₀ = 0.000)および他方のパラメータ(a₂ = -1.000)は変更していない。図柄が完全に変貌している。

【0153】このような点(x_n, y_n)の集合を2次元的に表示する応用例が考えられる。表示装置としては、CRT表示装置、プラズマ・ディスプレイ、液晶表示装置、マトリクス状に点光源を配置したものの等種々のものを用いることができる。

【0154】表示の仕方には次の方法がある。

【0155】1)パターン形成過程の表示
一定時間ごとにnをインCREMENTしながら、そのとき得られた(x_n, y_n)によって表わされる点を順次表示する。既に表示した点は消してしまっても、そのまま残してもよい。

【0156】この表示によって時間の経過にしたがってパターンが形成されていく様子、または点の軌跡が分る。

【0157】2)静止パターンの表示
所定数(たとえば上述した20001個)の点の座標の集合をあらかじめ求めておき、これらのすべての点を一挙に表示する。図30~図34に示すようなパターンが表示されるであろう。

【0158】3)動パターンの表示
2)に示す静止パターンの表示において、nをさらにインCREMENTして新たな点を求め、この点を追加的に表示するとともに最も古い点の表示を消去する。表示されている点の数は常に一定であるが、表示されているパターンが時間の経過とともに変化していく。

【0159】4)初期値、パラメータの少なくとも1つを変化させる。

【0160】この方法は上記1)~3)のすべてにあてはまる。

【0161】とくに2)の表示方法においては、図30のパターンから図31のパターンへ、または図32のパターンから図33のパターンへというように表示パターンが突然変化する。

【0162】このような表示は広告の背景表示として効果的であろう。上述したパターンの変化、点の軌跡は全く不規則であり予測できない。しかし雑音のような不快さもなく、見ていて飽きることがなくかつ魅力的である。

【0163】以上の説明は、システムのダイナミクスが差分方程式(たとえば式1)で表わされる場合について

述べてきたが、

【数 7】

$$\frac{d x}{d t} = f(x) + a y \quad \cdot \cdot \text{式} 42$$

【数 8】

$$\frac{d y}{d t} = x \quad \cdot \cdot \text{式} 43$$

のような微分方程式で表わされる場合も同様であり、この場合はディレイ要素の代わりに積分要素を用いればよい。この発明において「ディレイ要素」、「ディレイ手段」、「ディレイ回路」は、「積分要素」、「積分手段」、「積分回路」を含む概念である。

【図面の簡単な説明】

【図 1】 1つの非線形関数要素と1つの係数要素とを含む最も簡単なカオスの信号発生装置の機能的構成を示す。

【図 2】 (A) は初期化要素のシンボルを、(B) は具体的回路例をそれぞれ示す。

【図 3】 1つの非線形関数要素と複数の係数要素とを含むカオスの信号発生装置の機能的構成を示す。

【図 4】 複数の非線形関数要素を含む一般的なカオスの信号発生装置の機能的構成を示す。

【図 5】 線形ディレイ・ユニットの回路構成を示すブロック図である。

【図 6】 非線形ディレイ・ユニットの回路構成を示すブロック図である。

【図 7】 IC化されたカオス・デバイスのレイアウトを示す。

【図 8】 IC化された他のカオス・デバイスのレイアウトを示す。

【図 9】 複数の多変数非線形関数要素を含む一般的なカオス信号発生装置の機能的構成を示す。

【図 10】 一般的非線形ディレイ・ユニットの回路構成を示すブロック図である。

【図 11】 IC化されたカオス・デバイスのレイアウトを示す。

【図 12】 線形ディレイ・ユニットの具体的回路構成を示す回路図である。

【図 13】 クロック信号を示す波形図である。

【図 14】 線形ディレイ・ユニットの具体的回路構成の他の例を示す回路図である。

【図 15】 クロック信号を示す波形図である。

【図 16】 (A) および(B) は図14に示す回路の動作を示す各時点の等価回路図である。

【図 17】 線形ディレイ・ユニットの具体的回路構成のさらに他の例を示す回路図である。

【図 18】 (A) および(B) は図17に示す回路の動作を示す各時点の等価回路図である。

【図 19】 線形ディレイ・ユニットの具体的回路構成のさらに他の例を示す回路図である。

【図 20】 非線形ディレイ・ユニットの具体的回路構成を示す回路図である。

【図 21】 非線形ディレイ・ユニットの具体的回路構成の他の例を示す回路図である。

【図 22】 (A) および(B) は図21に示す回路の動作を示す各時点の等価回路図である。

【図 23】 図21に示す回路の入出力特性を示すグラフである。

【図 24】 非線形関数要素の具体例を示す回路図である。

【図 25】 図24に示す回路の入出力特性を示すグラフである。

【図 26】 (A) , (B) および(C) は図24に示す回路の動作を示す入力信号の各レンジごとの等価回路図である。

【図 27】 線形ディレイ・ユニットの電流モードで動作する具体的回路構成を示す回路図である。

【図 28】 非線形ディレイ・ユニットの電流モードで動作する具体的回路構成を示す回路図である。

【図 29】 非線形関数の特性の一例を示すグラフである。

【図 30】 図29に示す非線形関数を含み、図 1 に示す機能的構成をもつカオスの信号発生装置から得られる出力信号の描くパターンを示すものである。

【図 31】 カオスの信号の描くパターンの他の例を示す。

【図 32】 カオスの信号の描くパターンのさらに他の例を示す。

【図 33】 カオスの信号の描くパターンのさらに他の例を示す。

【図 34】 カオスの信号の描くパターンのさらに他の例を示す。

【符号の説明】

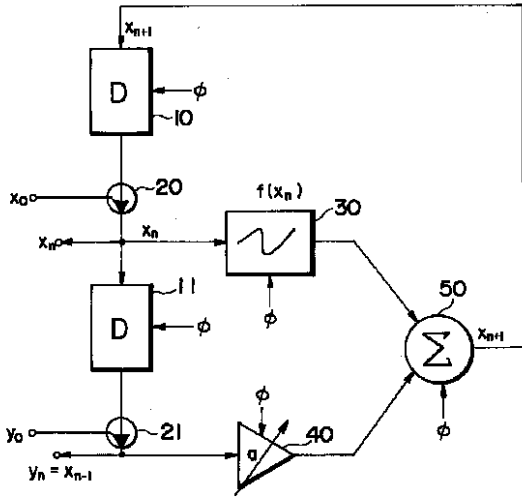
- 10, 11, 12, 13, 14, 15, 1i ディレイ要素
- 20, 21, 22, 23, 24, 25, 2i, 61, 62, 63, 64, 6i 初期化要素
- 30, 31, 32, 33, 34, 3i 非線形関数要素
- 40, 41, 42, 43, 44, 4i 係数要素
- 50 加算要素
- 71, 72, 73, 74, 75, 7i 多変数非線形関数要素

【図1】

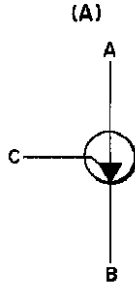
【図2】

【図11】

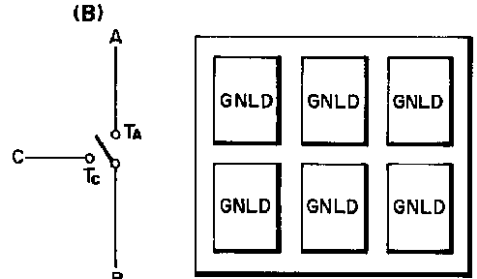
【図1】



【図2】



【図11】

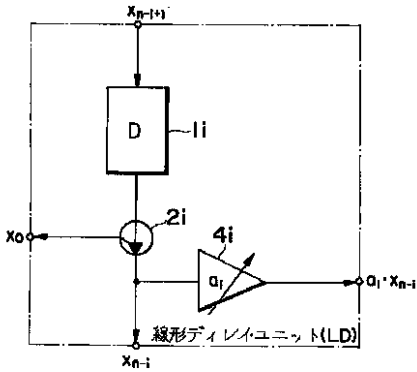


【図5】

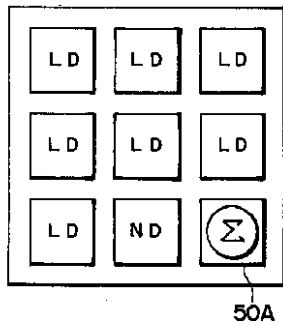
【図7】

【図8】

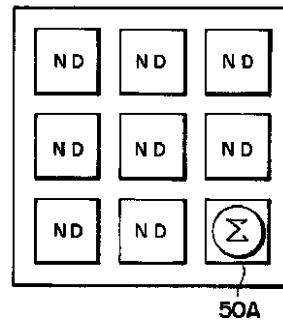
【図5】



【図7】



【図8】

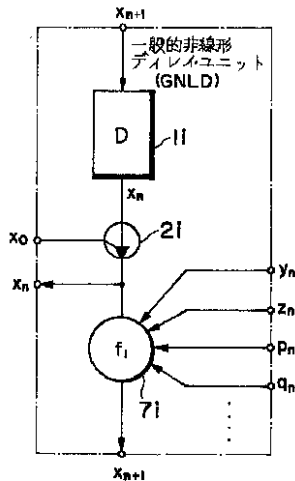
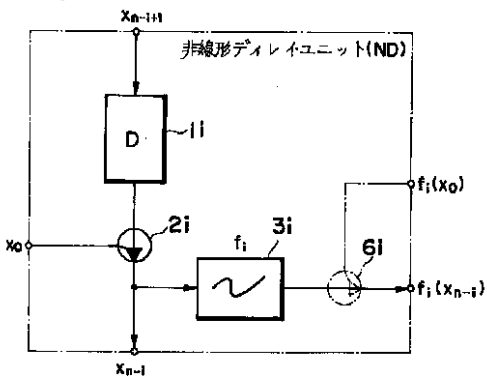


【図6】

【図10】

【図10】

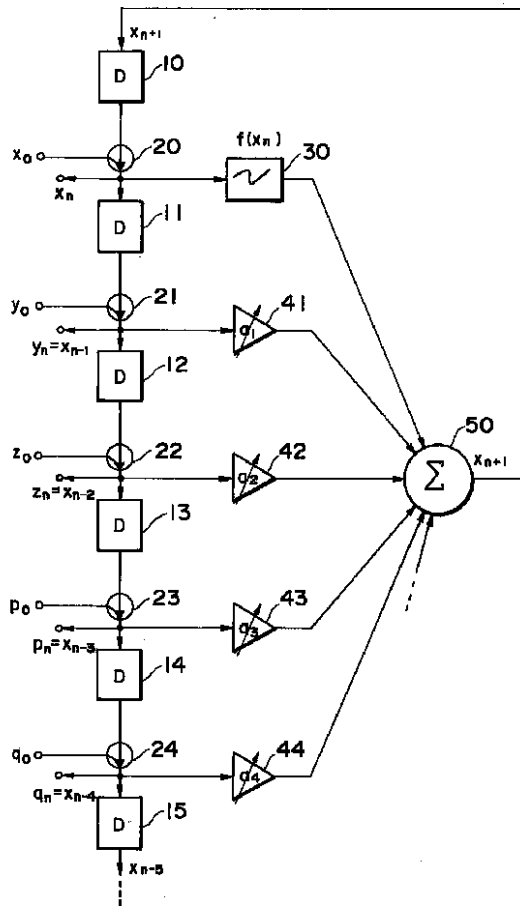
【図6】



【図 3】

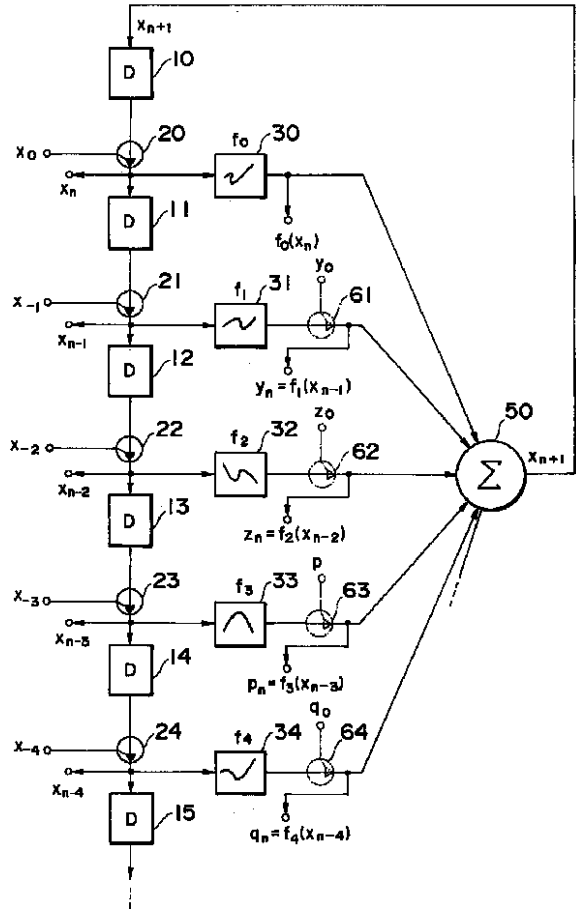
【図 4】

【図 3】



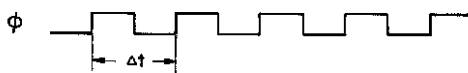
【図 13】

【図 4】



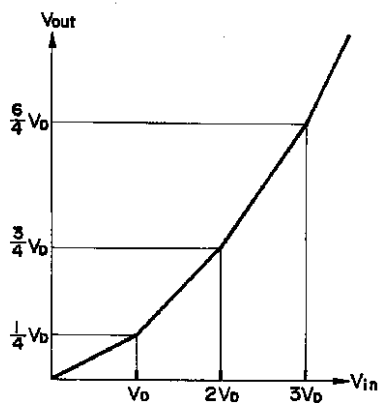
【図 12】

【図 13】

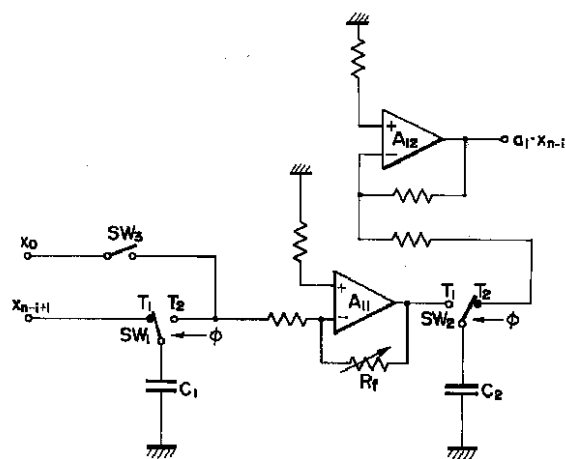


【図 23】

【図 23】

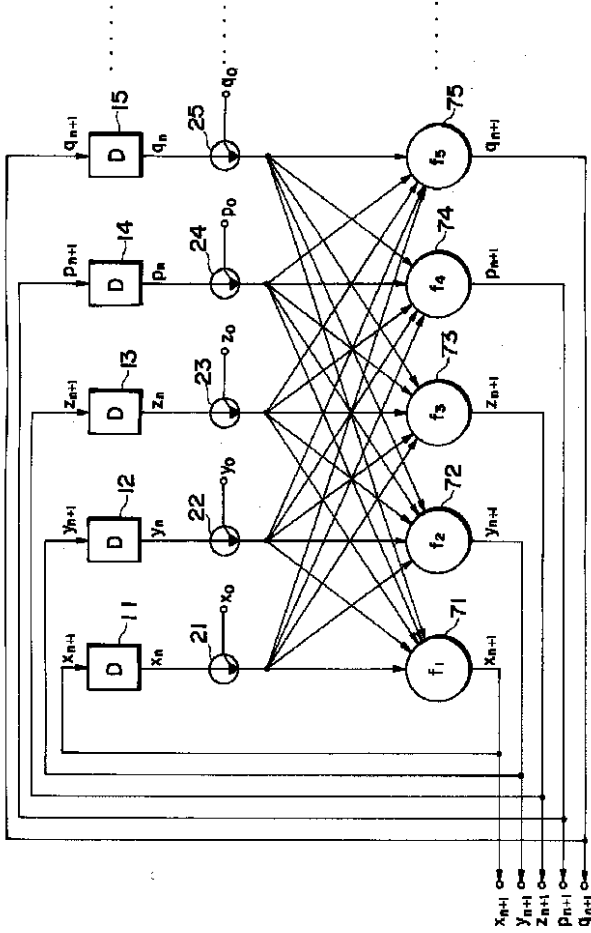


【図 12】



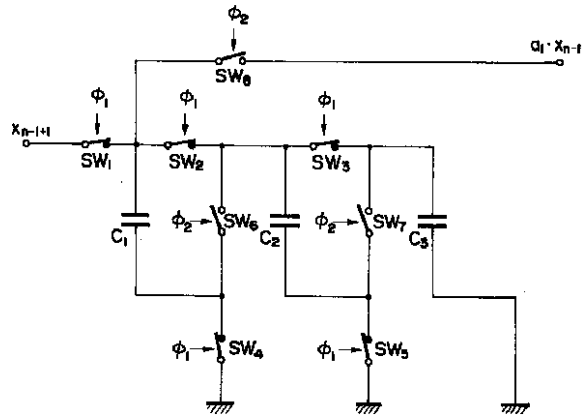
【図9】

【図9】



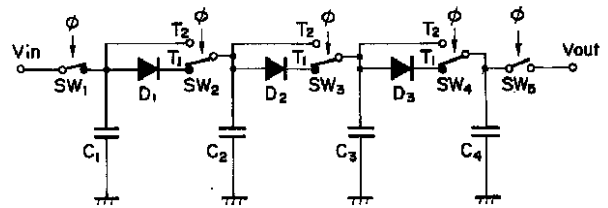
【図14】

【図14】



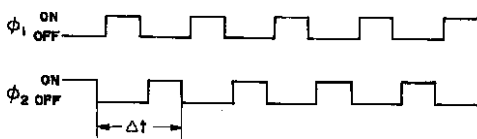
【図21】

【図21】



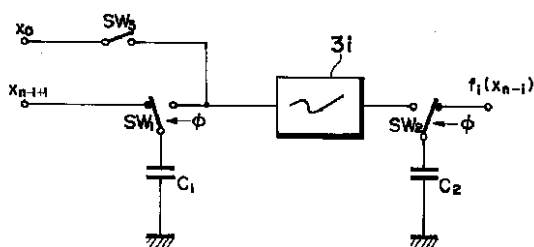
【図15】

【図15】



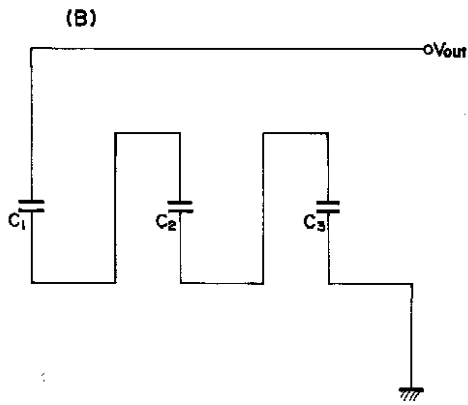
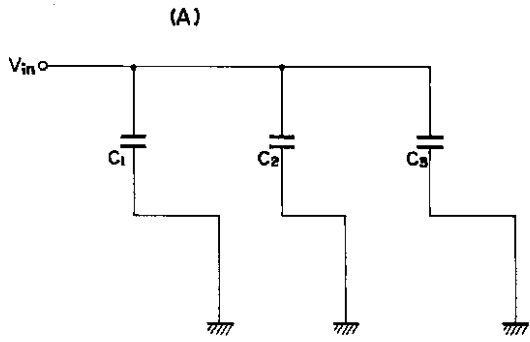
【図20】

【図20】



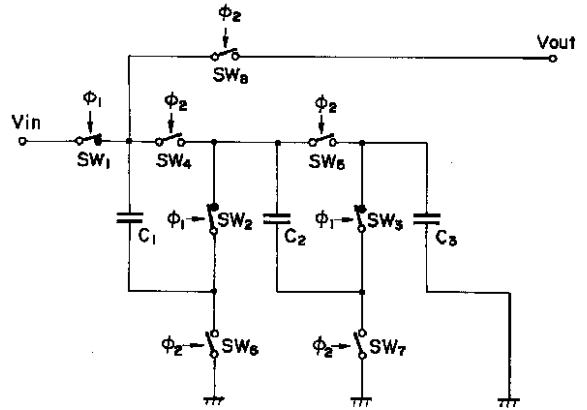
【図16】

【図16】



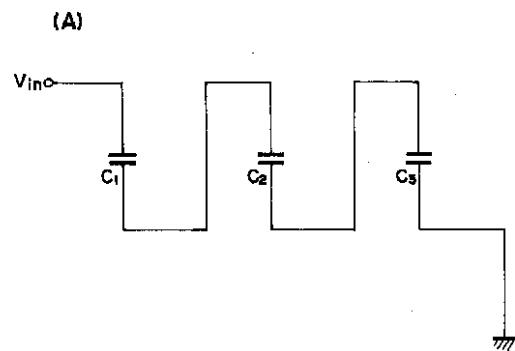
【図17】

【図17】

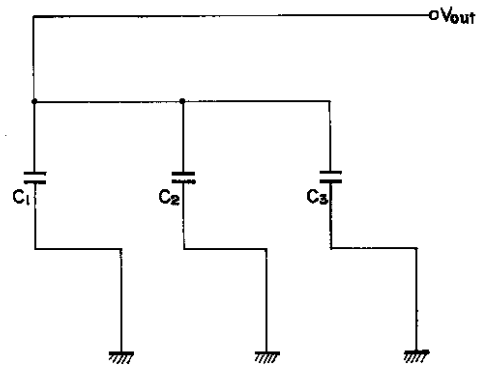


【図18】

【図18】

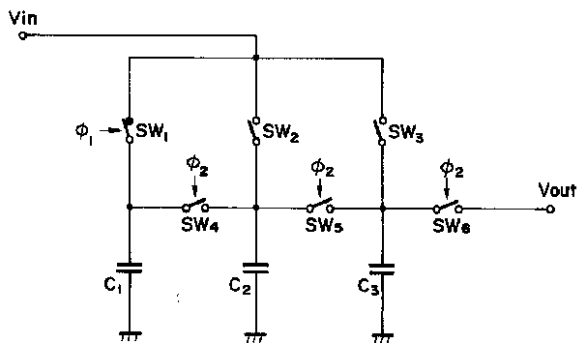


(B)



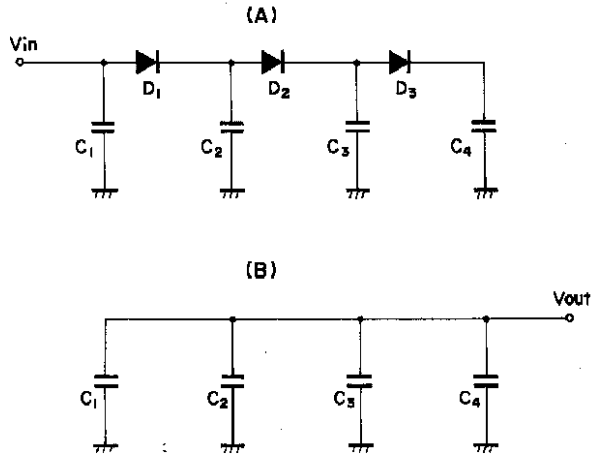
【図19】

【図19】



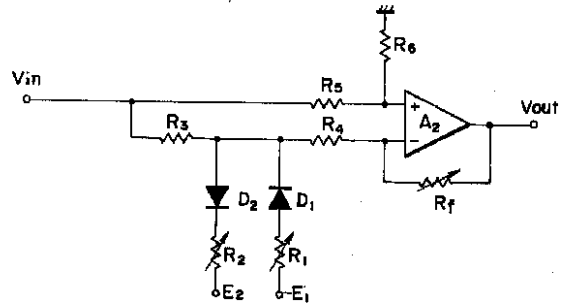
【図22】

【図22】



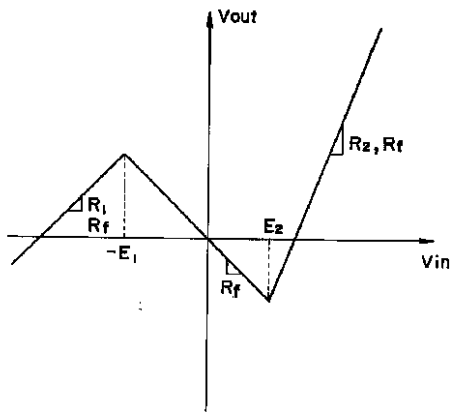
【図24】

【図24】



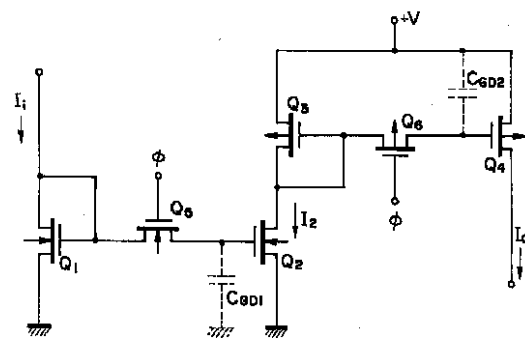
【図25】

【図25】



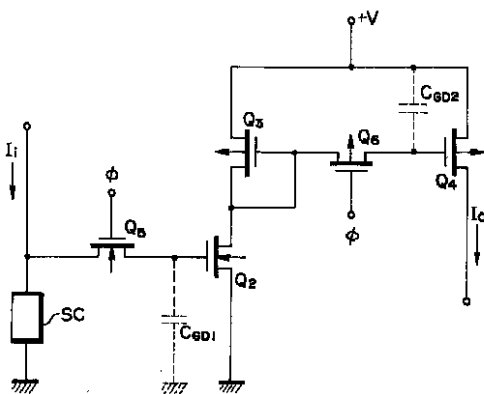
【図27】

【図27】



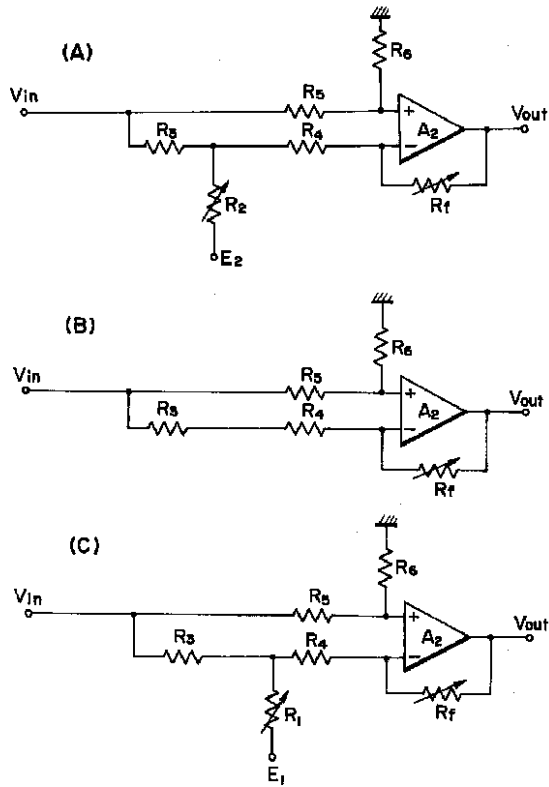
【図28】

【図28】



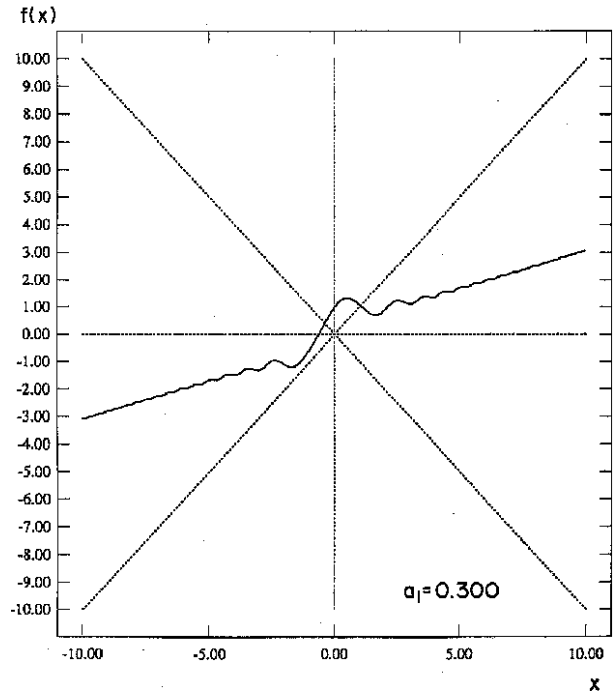
【図26】

【図26】



【図29】

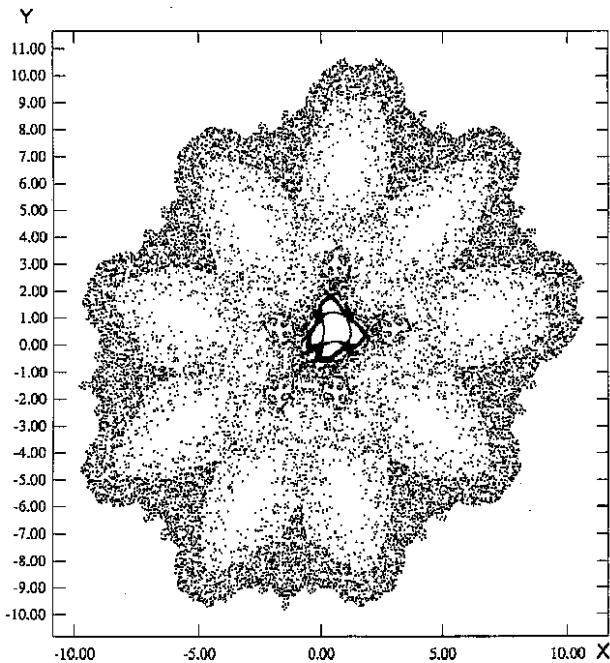
【図29】



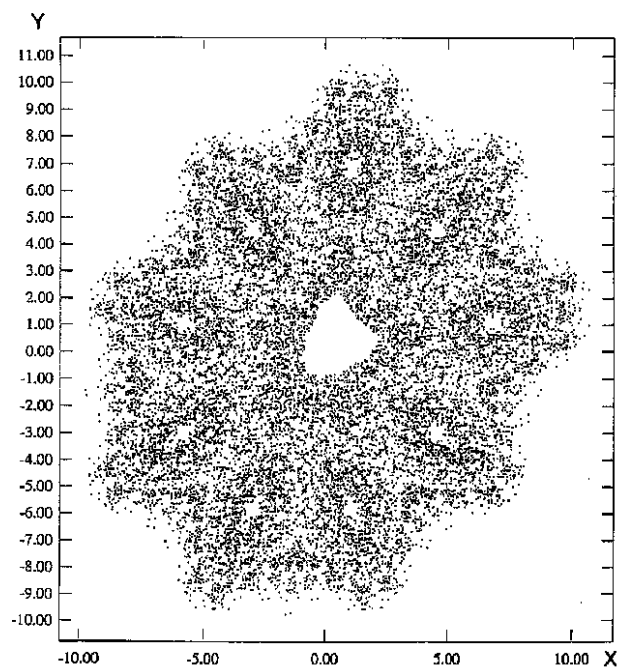
【図31】

【図30】

【図30】



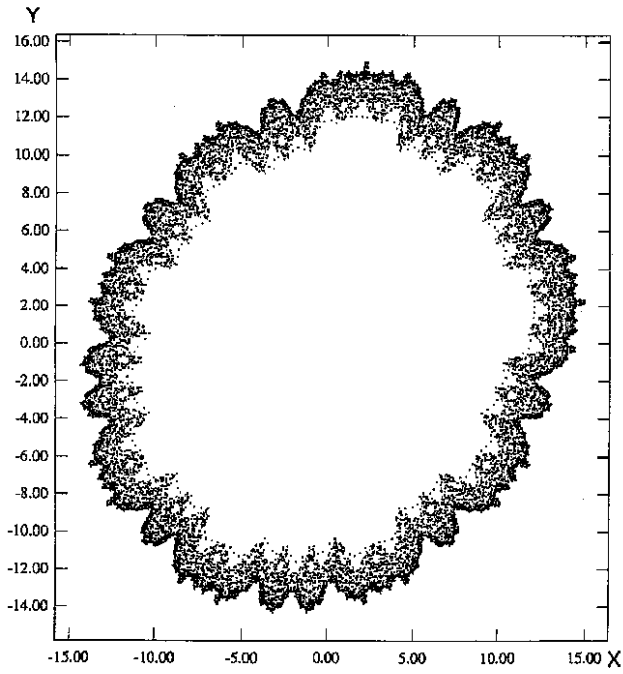
【図31】



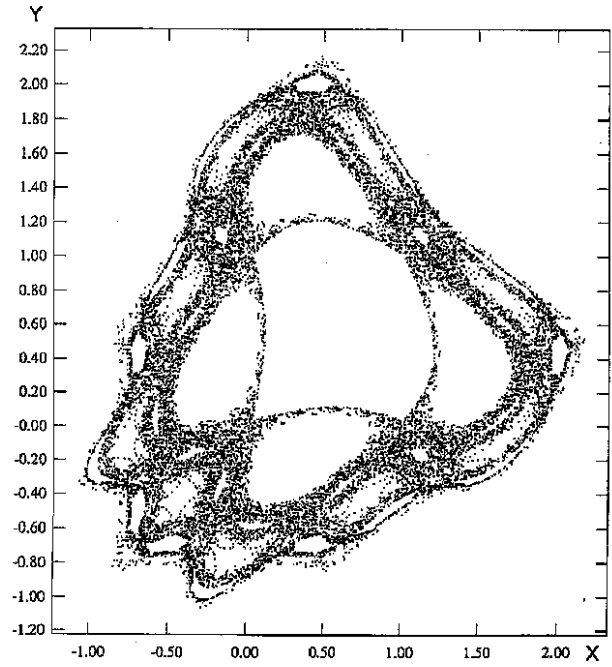
【図32】

【図33】

【図32】



【図33】



【図34】

【図34】

